

整理番号:F08811A1 発送番号:454819 発送日:平成16年12月14日 1/E

拒絶査定

特許出願の番号	特願2001-127984
起案日	平成16年12月 6日
特許庁審査官	山崎 慎一 9174 5E00
発明の名称	機能拡張が可能なマルチメディア機器及びそれを用いた機能拡張方法
特許出願人	三星電子株式会社
代理人	志賀 正武 (外 1名)

この出願については、平成16年 6月15日付け拒絶理由通知書に記載した理由によって、拒絶をすべきものである。

なお、意見書及び手続補正書の内容を検討したが、拒絶理由を覆すに足りる根拠が見いだせない。


備考

本願発明と引用例1記載のものとは、主にMPEGトランスポートストリーム信号が接受されない点で異なるものの、MPEGトランスポートストリーム信号はMPEG信号を用いた放送においては周知であり（必要であれば、特開平10-257449号公報、特開平10-327202号公報等を参照。）、また本願発明において、MPEGトランスポートストリーム信号を扱うにあたり格別な構成は見出すことができないこと、並びに、通常拡張ボードなどによって従来扱わなかった信号を扱うためには（本願においてはMPEGトランスポートストリーム信号）、当然その信号が当該拡張ボードに流れるものであること等を勘案すれば、上記相違は格別なものではなく、先の拒絶理由を覆す根拠を見出すことはできない。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 平成16年12月 8日 経済産業事務官 高瀬 清士

INPUT DEVICE FOR DIGITAL DATA OUTPUTTED FROM DIGITAL BROADCAST RECEIVER

Patent Number: JP10327202
Publication date: 1998-12-08
Inventor(s): HASUIKE AKIRA
Applicant(s): SAPIENSU:KK
Requested Patent:  JP10327202
Application Number: JP19970212553 19970723
Priority Number(s):
IPC Classification: H04L25/03
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To receive correctly a digital data output outputted from a digital broadcast receiver even when a transmission cable is long.

SOLUTION: A data signal and a clock signal outputted from a tuner 10 are sent to an interface board 28 of a personal computer 12 via a cable 56. The transmitted clock signal is smoothed by a low pass filter 60. Comparators 62, 66 use an output of the low pass filter 60 for a reference voltage and compare the clock signal and the data signal in terms of voltages and shape the wave form.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-327202

(43) 公開日 平成10年(1998)12月8日

(51) Int. Cl. ⁶
H04L 25/03

識別記号

F I
H04L 25/03

E

審査請求 未請求 請求項の数 4 F D (全8頁)

(21) 出願番号 特願平9-212553

(22) 出願日 平成9年(1997)7月23日

(31) 優先権主張番号 特願平9-93038

(32) 優先日 平9(1997)3月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 594164379

株式会社サビエンス

東京都豊島区南大塚3-20-6

(72) 発明者 蓮池 曜

東京都豊島区南大塚3-20-6 株式会社

サビエンス内

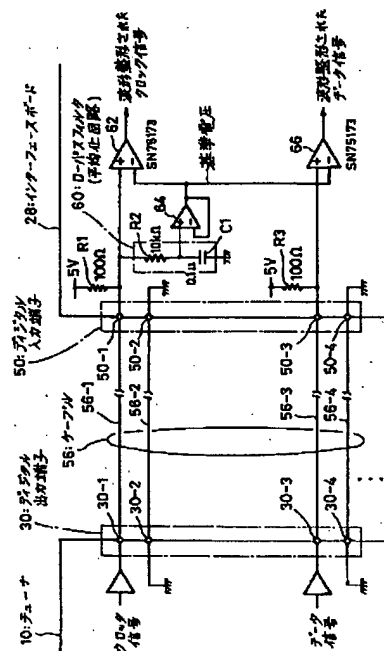
(74) 代理人 弁理士 加藤 邦彦

(54) 【発明の名称】 デジタル放送用受信機から出力されるデジタルデータの入力装置

(57) 【要約】

【課題】 デジタル放送用受信装置から出力されるデジタルデータ出力を伝送ケーブルが長い場合でも正しく受け取れるようにする。

【解決手段】 チューナ10から出力されるデータ信号およびクロック信号はケーブル56を介してパソコン12のインターフェイスボード28に伝送される。伝送されたクロック信号はローパスフィルタ60で平滑される。コンパレータ62, 66はローパスフィルタ60の出力を基準電圧として、クロック信号、データ信号を電圧比較して波形整形する。



【特許請求の範囲】

【請求項1】ディジタル放送用受信機のディジタル出力端子から並列に出力されるデータ信号とクロック信号を個別に入力するディジタル入力端子と、

前記入力したクロック信号を平均化したレベルの信号を出力する平均化回路と、

この平均化回路の出力を基準レベルとして、前記入力したデータ信号をレベル比較する第1のコンパレータとを具備し、

この第1のコンパレータから波形整形されたデータ信号を取り出してなるディジタルデータの入力装置。

【請求項2】前記平均化回路の出力を基準レベルとして、前記入力したクロック信号をレベル比較する第2のコンパレータをさらに具備してなり、

この第2のコンパレータから波形整形されたクロック信号を取り出してなる請求項1記載のディジタルデータの入力装置。

【請求項3】ディジタル放送用受信機のディジタル出力端子から並列に出力されるデータ信号とクロック信号を個別に入力するディジタル入力端子と、

前記入力したクロック信号を入力抵抗を介して反転型ロジックICに入力し、該反転型ロジックICの出力を帰還抵抗を介して該反転型ロジックICの入力に帰還して構成される反転増幅器と、

この反転増幅器の出力信号を平均化する平均化回路と、この平均化回路の出力側と前記入力抵抗の入力側とを接続する終端抵抗と、

前記反転型ロジックICと同じかまたはほぼ同じ入力しきい値を有し、前記データ信号を入力する反転型または非反転型ロジックICと、

前記平均化回路の出力側と前記反転型または非反転型ロジックICの入力側とを接続する終端抵抗とを具備してなり、該反転型または非反転型ロジックICから波形整形されたデータ信号を取り出してなるディジタル放送用受信機から出力されるディジタルデータ入力装置。

【請求項4】前記反転型ロジックICと同じかまたはほぼ同じ入力しきい値を有し、前記クロック信号を入力する反転型または非反転型ロジックICをさらに具備してなり、

該反転型または非反転型ロジックICから波形整形されたクロック信号を取り出してなる請求項3記載のディジタル放送用受信機から出力されるディジタルデータの入力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ディジタル放送用受信機から出力されるディジタルデータの入力装置に関し、ディジタルデータを正しく受け取ることができるようにしたものである。

【0002】

【従来の技術】ディジタル衛星放送の受信機（チューナ）には、社団法人電波産業会規格（ARIB規格）の仕様によりトランスポンダ1本分のデータが出力されるコネクタが設けられており、受信したデータ放送やEPG（Electronic Program Guide）情報等のディジタルデータ出力をパソコン等に取り込めるようになっている。このコネクタから出力されるディジタルデータの出力（以下「高速ディジタル出力」という。）は、ディジタル衛星放送の受信機の消費電力を減らすために（正確には、電源切断後の電源電圧の保持時間を長くするために）、また、不要輻射を減らすために出力パワーの弱い通常のTTL出力になっている。

【0003】

【発明が解決しようとする課題】ディジタル衛星放送の受信機の高速ディジタル出力は、前述のように出力パワーの弱い通常のTTL出力になっているため、ディジタル衛星放送の受信機と、高速ディジタル出力を入力するパソコン等の入力装置（以下「高速ディジタル入力装置」という。）とを接続するケーブルを長くすると、次の2つの問題が発生する。

【0004】（1）高速ディジタル出力を単にTTL入力で受けると、ケーブルの特性インピーダンスに比べてTTLの入力インピーダンスが大きすぎ、信号の反射が起こり、またその反射波が受信機の高速ディジタル出力端子に伝播する。受信機の高速ディジタル出力の出力インピーダンスはケーブルの特性インピーダンスに比べて低いので、ここで再び信号は反射する。この反射波は、再び高速ディジタル入力装置の高速ディジタル入力端子に伝播し、再び反射する。このような現象により波形は大きくオーバーシュート、アンダーシュートし、高速ディジタル入力装置はデータを正しく受け取ることができない。

【0005】（2）ケーブルの特性インピーダンスに合った終端抵抗を高速ディジタル入力装置の高速ディジタル入力端子の信号線に付けると、反射波が減少し、オーバーシュート、アンダーシュートが減少する。ところが、受信機の高速ディジタル出力がTTL出力のため、信号レベルが小さくなり、しかもオフセット（DC成分）が適切でなく、TTLの入力しきい値に対してプラス側、マイナス側の振幅が均等に確保されるとは限らず、高速ディジタル入力装置の入力のTTLが誤動作する。

【0006】これらの問題があるため、従来は受信機の高速ディジタル出力端子と、高速ディジタル入力装置の高速ディジタル入力端子とを接続するケーブルの長さが50cm程度に制限されていた。

【0007】そこで、ケーブルの長さを長くしても正しく受信できるようにするために、次の方法が考えられる。すなわち、まず上記（2）のように、ケーブルの特性インピーダンスに合った終端抵抗を高速ディジタル入

力装置の高速デジタル入力端子に接続し反射を少なくする。信号レベルが小さくなるので、TTL入力ではなくて、電圧比較器IC（コンパレータ）を用いて電圧比較を行う。比較するための基準電圧を適切に設定することによって、正しく受信できるようになる。

【0008】ところが、受信機の高速デジタル出力端子のTTL出力は、メーカーや製造ロット毎に特性が異なる。これは、ARIB規格の仕様では、TTL出力とはいっても、そのタイプまで規定していないからである。例えば、LS（ローパワーショットキー）、ALS（アドバンストローパワーショットキー）、S（ショットキー）、F（ファスト）等ではそれぞれ出力特性が異なる。また、同じタイプでもICの型番などで、出力電流が異なるものもある。例えば、同じ目的に使用される74LS244と74LS367などは、同じLSタイプでも74LS244のほうが出力電流が大きい。したがって、受信機の高速デジタル出力端子に接続するTTL出力ICの種類によって高速デジタル入力端子での信号の最大値や最小値はまちまちである。このため、高速デジタル入力装置のコンパレータの基準電圧を固

定的に設定することはできない。

【0009】この発明は前記従来の技術における問題点を解決して、デジタル放送用受信機のデジタル出力端子と入力装置のデジタル入力端子とを結ぶケーブルの長さを長くしても、またメーカー等が異なる受信機に対してもデータを正しく受け取ることができるようにしたデジタルデータの入力装置を提供しようとするものである。

【0010】

【課題を解決するための手段】この発明は、デジタル放送用受信機のデジタル出力端子から並列に出力されるデータ信号とクロック信号を個別に入力するデジタル入力端子と、前記入力したクロック信号を平均化したレベルの信号を出力する平均化回路と、この平均化回路の出力を基準レベルとして、前記入力したデータ信号をレベル比較する第1のコンパレータとを具備し、この第1のコンパレータから波形整形されたデータ信号を取り出すようにしたものである。

【0011】デジタル放送用受信機から出力されるクロック信号はデータ信号と同じレベルで出力され、またデューティ比が50%であるので、入力したクロック信号を平均化したレベルは入力したデータ信号の“H”レベルと“L”レベルの中間のレベルとなる。したがって、この平均化したレベルを基準レベルとしてデータ信号をレベル比較することにより、ケーブルが長くても、またメーカー等が異なる受信機に対してもデータ信号を正しく受け取ることができる。また、この平均化したレベルを基準レベルとしてクロック信号自身をレベル比較することにより、クロック信号を正しく受け取ることができ、ケーブルが長くても、またメーカー等が異なる受信機

に対してもデータ信号をさらに正しく受け取ることができる。

【0012】また、この発明は、デジタル放送用受信機のデジタル出力端子から並列に出力されるデータ信号とクロック信号を個別に入力するデジタル入力端子と、前記入力したクロック信号を入力抵抗を介して反転型ロジックICに入力し、該反転型ロジックICの出力を帰還抵抗を介して該反転型ロジックICの入力に帰還して構成される反転増幅器と、この反転増幅器の出力信号を平均化する平均化回路と、この平均化回路の出力側と前記入力抵抗の入力側とを接続する終端抵抗と、前記反転型ロジックICと同じかまたはほぼ同じ入力しきい値を有し、前記データ信号を入力する反転型または非反転型ロジックICと、前記平均化回路の出力側と前記反転型または非反転型ロジックICの入力側とを接続する終端抵抗とを具備してなり、該反転型または非反転型ロジックICから波形整形されたデータ信号を取り出せるものである。

【0013】反転型ロジックICの入力に入力抵抗を付け、入力と出力間に帰還抵抗を付けると、反転型ロジックICは入力しきい値を仮想接地レベルとする反転増幅器を構成する（ただし、反転型ロジックICはシュミットトリガなどのヒステリシスがあるものを除く。）。そして、反転型ロジックICの出力をローパスフィルタ等で平均化し、この平均化した電圧を終端抵抗を介して反転型ロジックICの入力抵抗の入力側に印加して、クロック信号のレベルをシフトする。このようにすると、反転型ロジックICの入力特性の違いにかかわらず、あるいはデジタル放送用受信機の出力特性の違いにかかわらず、入力されるクロック信号の最大値と最小値の中間値を反転型ロジックICの入力しきい値とほぼ等しくすることができる。そこで、上記反転型ロジックICと同じかまたはほぼ同じ入力しきい値を有する反転型または非反転型ロジックICを用意してデータ信号を入力するとともに、前記平均化した電圧を終端抵抗を介してこの反転型または非反転型ロジックICの入力側に印加してデータ信号のレベルをシフトすることにより、データ信号は反転型または非反転型ロジックICのしきい値またはほぼしきい値を中心に“H”レベル、“L”レベルに変化する。これにより、データ信号を正しく受け取ることができる。

【0014】また、前記反転型ロジックICと同じかまたはほぼ同じ入力しきい値を有する反転型または非反転型ロジックICを用意してクロック信号を入力することにより、クロック信号はこの反転型または非反転型ロジックICのしきい値またはほぼしきい値を中心に“H”レベル、“L”レベルに変化し、これによりクロック信号を正しく受け取ることができる。

【0015】

【発明の実施の形態】この発明の実施の形態を以下説明

する。図2はデジタル衛星放送の受信装置の全体システムを示したものである。図2のシステムは、パーフェクTV! (商標) 用の市販のチューナ10に高速デジタル入力装置としてパソコン12を接続したものである。放送局の送出装置16からは、各番組の放送がデジタル信号で送信され、衛星(JCSAT-3)18を経由して地上の各ユーザのアンテナ20で受信される。受信された放送はチューナ10に入力される。

【0016】チューナ10はデジタル衛星放送受信用チューナで、パーフェクTV! 用の市販の受信用チューナである。チューナ10には受信した番組チャンネルの映像信号および音声信号をデコードして出力する映像出力端子44および左右音声出力端子46、48が設けられ、これら出力端子44、46、48から出力される映像信号および音声信号はケーブル22を介してテレビ受像機24に送られて再生される。また、チューナ10には、パーフェクTV! 用の高速デジタルインターフェース仕様に準拠したTTL出力のデジタル出力端子30が設けられている。このデジタル出力端子30にはケーブル26の一端が接続される。ケーブル26の他端はパソコン12のデジタル入力端子50に接続される。チューナ10のデジタル出力端子30からは、現在受信している1つの伝送チャンネルの生のデータ(MPEG-2トランスポートストリーム、すなわち映像情報、音声情報、データ情報が時分割多重化されたビットストリーム)がケーブル26を介してそのままパソコン12に伝送される。

【0017】パソコン12内には、拡張ボードとしてインターフェースボード28が増設されている。インターフェースボード28の構成を図3に示す。インターフェースボード28は、チューナ10のデジタル出力端子30から出力されるMPEG-2トランスポートストリームをレシーバ32で波形整形してデマルチプレクサ34に供給する。デマルチプレクサ34はそこから必要なデータのバケットのみを抽出する。抽出されたデータはFIFO回路36を経てパソコン12側の読み出しクロックに同期して出力され、図2のCPU38のバス40に供給される。CPU38はこのデータの内容を解釈して、RAM42を介してハードディスク54に順次取り込んでいく。ハードディスク54に取り込まれたデータはマウス76やキーボード77の操作により読み出されて、データの内容がディスプレイ14(モニタ)に表示される。

【0018】図2のチューナ10の出力とパソコン12のインターフェースボード28の入力との間の部分の詳細構成を図1に示す。チューナ10のデジタル出力端子30には、クロック信号(パーフェクTV! 用の高速デジタルインターフェース仕様で定められたバイトクロック信号BCK)の出力端子30-1とその接地端子30-2およびデータ信号の出力端子30-3とその接

地端子30-4等が設けられている。データ信号およびクロック信号はともにTTL出力で出力レベルはともに等しい。パソコン12のインターフェースボード28のデジタル入力端子50には、クロック信号の入力端子50-1とその接地端子50-2およびデータ信号の入力端子50-3とその接地端子50-4が設けられている。チューナ10のデジタル出力端子30とインターフェースボード28のデジタル入力端子50とは各対応する端子どうしが伝送用のケーブル56(56-1, 56-2, 56-3, 56-4, ……) で個別に接続されている。

【0019】インターフェースボード28において、クロック信号入力端子50-1には終端抵抗R1が接続されて信号の反射を抑えている。クロック信号入力端子50-1から入力されるクロック信号は、抵抗R2とコンデンサC1で構成されるローパスフィルタ60(平均化回路)で平滑されて直流分が取り出される。コンパレータ62は、ローパスフィルタ60の出力を演算増幅器64を介して入力して、これを基準電圧としてクロック信号を電圧比較して、波形整形されたクロック信号を出力する。一方、データ入力端子50-3には終端抵抗R3が接続されて信号の反射を抑えている。データ入力端子50-3から入力されるデータ信号はコンパレータ66に入力される。コンパレータ66は演算増幅器64から出力されるクロック信号直流分を基準電圧としてデータ信号を電圧比較して、波形整形されたデータ信号を出力する。後続回路では、波形整形されたクロック信号を用いて、波形整形されたデータ信号の復号を行う。

【0020】図1の回路の動作を図4に示す。チューナ10のクロック信号出力端子30-1およびデータ信号出力端子30-3からは、図4(a), (b)のように方形波状のクロック信号およびデータ信号が出力される。クロック信号はデューティ比が50%である。また、クロック信号とデータ信号の信号レベルは等しい。これらクロック信号およびデータ信号は、ケーブル56を通過することにより信号レベルが低下しかつ波形になまりが生じ、インターフェースボード28のデジタル入力端子50における波形は図4(c), (d)のようになる。

【0021】クロック信号をローパスフィルタ60で平滑することにより、入力したクロック信号およびデータ信号の“H”レベルと“L”レベルの中間のレベルの信号(図4(c), (d)に点線で示す。)が得られ、これを基準電圧として用いて、コンパレータ62, 66でクロック信号とデータ信号をそれぞれ電圧比較することにより、図4(e), (f)に示すように、元のクロック信号およびデータ信号に等しい波形整形されたクロック信号およびデータ信号が得られる。

【0022】図1のインターフェースボード28内の構成は図3のレシーバ32の詳細構成を図示したものであ

り、コンパレータ62、66に続く図3のデマルチプレクサ34は、波形整形されたデータ信号の中から必要なデータのバケットを抽出する。さらに、図3のFIFO回路36は、抽出されたバケットのデータを、波形整形されたクロック信号の例えば立下りのタイミングで読み込み、パソコン12側のクロック信号で読み出すことにより、パソコン12側のクロックに同期させる。FIFO回路36から読み出されるデータ信号は、パソコン12内でその後の復号処理が行われる。

【0023】尚、上記実施の形態では、平均化回路をローパスフィルタで構成したが、これに限らず、例えばクロック信号入力 of の最大値と最小値を保持し、その値の合計を2分して出力する回路等で構成することもできる。また、上記実施の形態では、この発明をパーフェクトV!用受信機から出力されるデジタルデータの入力装置に適用した場合について説明したが、これに限らず、データ信号とクロック信号を同じレベルで出力し、かつクロック信号をデューティ比50%で出力するデジタル放送用受信機から出力されるデジタルデータの入力装置に適用することもできる。

【0024】

【他の発明の実施の形態】図2のチューナ10の出力とパソコン12のインターフェースボード28の入力との間の部分の別の構成例を図5に示す。チューナ10のデジタル出力端子30からは、クロック信号とデータ信号が並列に出力され、ケーブル56を介してインターフェースボード28のデジタル入力端子50に入力される。

【0025】デジタルインターフェースボード28に入力されたクロック信号は、反転増幅器70に入力される。反転増幅器70は74HC04や74HCT04等の反転型ロジックIC72と、その入力側に接続された入力抵抗R1と、出力と入力との間に接続された帰還抵抗R2とにより構成される。反転型ロジックIC72にこのように入力抵抗R1と帰還抵抗を接続することにより、反転型ロジックIC72は、それ自身の入力しきい値を仮想接地レベルとする反転増幅器を構成する。また、反転型ロジックIC72の入出力間には平均化回路を構成するコンデンサC1が接続されている。このコンデンサC1は、反転型ロジックIC72の出力を平均化

する働きをする。

【0026】反転増幅器70の出力はボルテージフォロワおよび終端抵抗R3を介して反転増幅器70の入力抵抗R1の入力側に接続されている。データ信号の各入力ラインおよびクロック信号の入力ラインには、反転型または非反転型ロジックIC76、78(図1の例では74HC04、74HCT04等の反転型ロジックIC)がそれぞれ接続されている。前記ボルテージフォロワ74の出力はそれぞれ終端抵抗R4を介して各ロジックIC76、78の入力側に接続されている。

【0027】終端抵抗R3、R4の値はケーブル56の各ラインの特性インピーダンスとほぼ等しく設定され、ケーブル56の各ラインの特性インピーダンスが100Ωの場合、抵抗R3、R4の値もそれぞれ100Ω程度に設定される。反転増幅器70の入力抵抗R1、帰還抵抗R2はそれぞれ例えば10kΩ、100kΩ程度に設定される。また、ロジックIC76、78の入力しきい値と反転型ロジックIC72の入力しきい値は等しくまたはほぼ等しく設定されている。

【0028】図5に(a)~(i)で示した箇所の波形図を図6にそれぞれ同符号で示す。反転増幅器70の仮想接地点の信号(e)のレベルは反転型ロジックIC72の入力しきい値と等しくなり、74HC04の場合2.5Vである。チューナ10から出力されるデータ信号(a)およびクロック信号(c)は、ケーブル56を伝送する際に減衰して、インターフェースボード28の入力端ではそれぞれ(b)、(d)に示すように振幅が小さくなる。いま、チューナ30の出力クロック(c)の平均レベルをx、ケーブル56の個々のライン特性インピーダンスをR5(=100Ω)、インターフェースボード28の入力クロック(d)の平均レベルをy、反転増幅器70の出力(f)のレベル(=ボルテージフォロワ74の出力(g)のレベル)をzとすると、次式が成り立つ。

$$【0029】 y = (x + z) / 2$$

$$z = [2.5 - (y - 2.5) \cdot 10]$$

これに、図6(a)より、 $x = (0 + 3.3) / 2$ を代入すると、

$$z = 3.2 \text{ V}$$

$$y = 2.4 \text{ V}$$

となる。

【0030】したがって、各データ信号の入力ラインに接続されているロジックIC76には、チューナ10の出力(0V、3.3V)の平均レベル(1.65V)とボルテージフォロワ74の出力(3.2V)間の電位差をケーブル56の特性インピーダンスR5(100Ω)と終端抵抗R4(100Ω)で分圧して得られるR5、R4の中間点の電位(2.4V)を中心に上下するデータ信号が入力される(図6(b))。このデータ信号の平均レベル(2.4V)はロジックIC76の入力しきい値(2.5V)にほぼ等しいので、ロジックIC76からは正しく波形整形されたデータ信号が得られる(図6(h))。また、クロック信号の入力ラインに接続されているロジックIC78に入力されるクロック信号の平均レベルも2.4V(図6(d))であり、ロジックIC78の入力しきい値(2.5V)にほぼ等しいので、ロジックIC78からは正しく波形整形されたクロック信号が得られる(図6(i))。尚、抵抗R2の値を反転増幅器70の出力が飽和しない範囲内で大きくすることによってR4、R5の中間点の電位をロジックI

C 7 6, 7 8 の入力しきい値 (2. 5 V) にさらに近づけることができる。

【0031】尚、図5では反転型ロジックIC72の入出力間に接続したコンデンサC1で平均化回路を構成したが、コンデンサC1に代えて、反転増幅器72とボルテージフォロワ74との間に抵抗とコンデンサによるローパスフィルタを独立に配置することもできる。

【図面の簡単な説明】

【図1】 この発明の実施の形態を示す図で、図3の一部の詳細構成を示す回路図である。

【図2】 この発明が適用されたデジタル衛星放送受信装置の全体システム構成を示すブロック図である。

【図3】 図2のインターフェースボードのハードウェア構成を示すブロック図である。

【図4】 図1の回路の動作波形図である。

【図5】 この発明の他の実施の形態を示す回路図であ

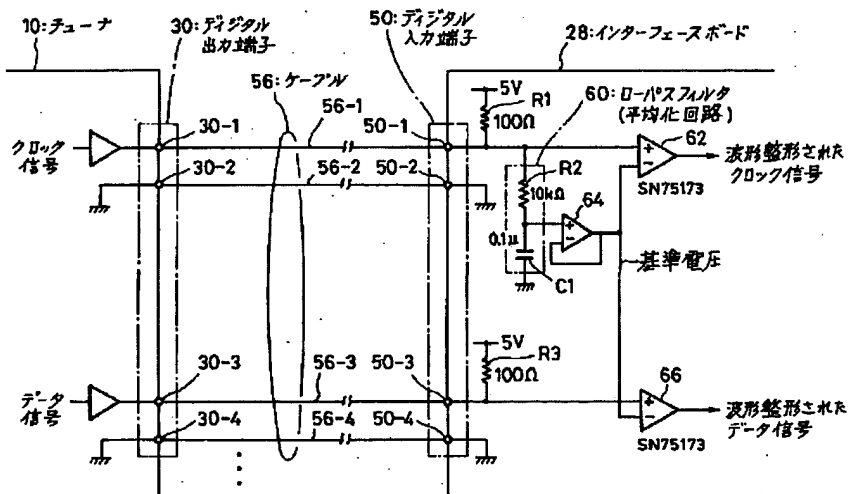
る。

【図6】 図5の回路の動作波形図である。

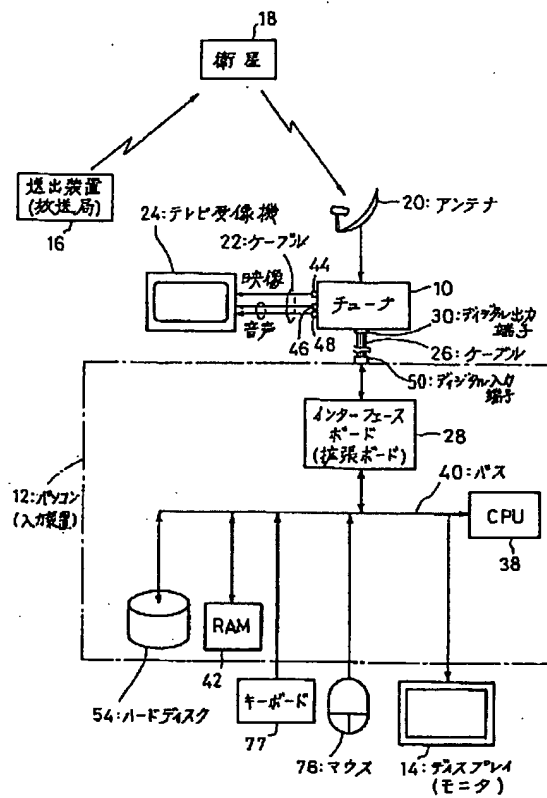
【符号の説明】

- 10 チューナ (デジタル放送用受信機)
- 12 パソコン (入力装置)
- 30 デジタル出力端子
- 50 デジタル入力端子
- 60 ローパスフィルタ (平均化回路)
- 62 第2のコンパレータ
- 66 第1のコンパレータ
- 70 反転増幅器
- 72 反転型ロジックIC
- 76, 78 ロジックIC
- R1 入力抵抗
- R2 帰還抵抗
- R3, R4 終端抵抗

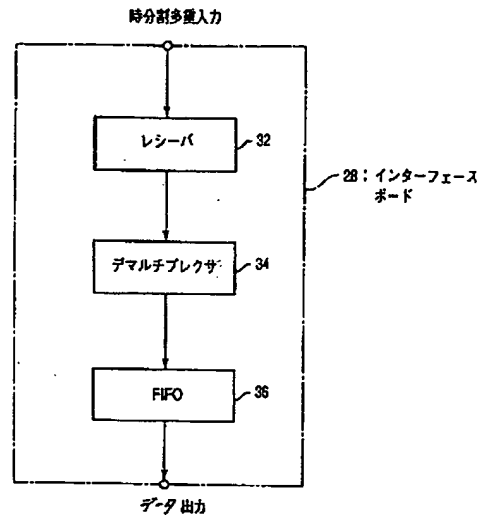
【図1】



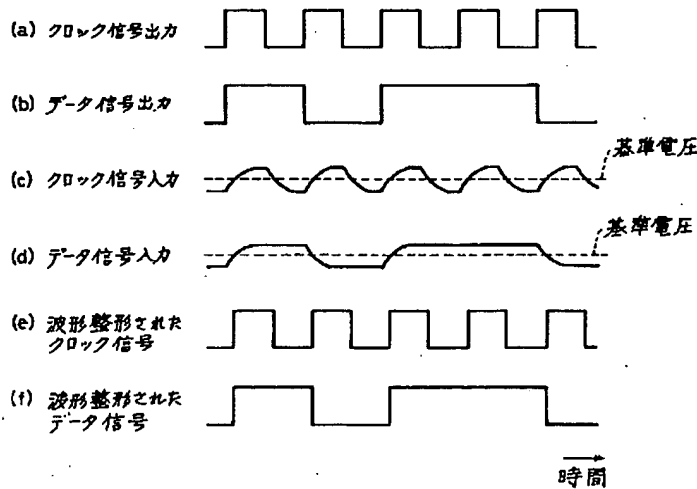
【図2】



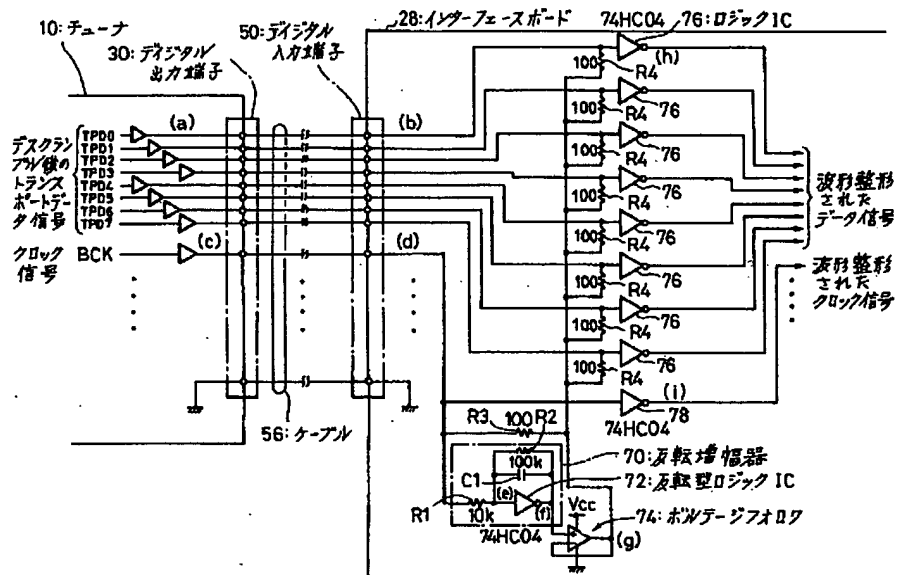
【図3】



【図4】



【図5】



【図6】

